

04459328

PROCESSING SYSTEM

PUB. NO.: 06-103228 [JP 6103228 A]

PUBLISHED: April 15, 1994 (19940415)

INVENTOR(s): FUJITA MASAKATSU

ISHIDA TADAHIRO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-250263 [JP 92250263]

FILED: September 18, 1992 (19920918)

ABSTRACT

PURPOSE: To provide a processing system capable of automatically connecting signals in the same system through a prescribed data bus independently of the data bus specification of a device in respect of a processing system for connecting a device with a 1st data bus specification for applying the 1st system byte signal and a 2nd system byte signal respectively to upper 8 bits and lower 8 bits to a device for down-loading firmware to the device when a power supply is turned on according to the 1st data bus specification or the 2nd data bus specification for applying signals in the reversed systems respectively to the upper 8 bits and the lower 8 bits.

CONSTITUTION: The data bus specification is written in the head of firmware, a data bus for the upper 8 bits of a 1st device 1 and a data bus for its lower 8 bits are respectively connected to the common sides of respectively selectors 5, 6 and a data bus for the upper 8 bits of the 2nd or 3rd device 2 and a data bus for its lower 8 bits are respectively connected to the switching sides of the selectors 5, 6. In addition, the processing system is also provided with a bus connection switching signal generating part 7 for inputting the data bus specification written on the head of the firmware and switching the connection of the common sides and switching sides of the selectors 5, 6 so that signals of respective systems are passed through the prescribed 8-bit data buses.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-103228

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.⁵

G 0 6 F 13/36
3/00

識別記号 庁内整理番号

3 2 0 A 9072-5B

T 7165-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号 特願平4-250263

(22)出願日 平成4年(1992)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤田 正勝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 石田 忠弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

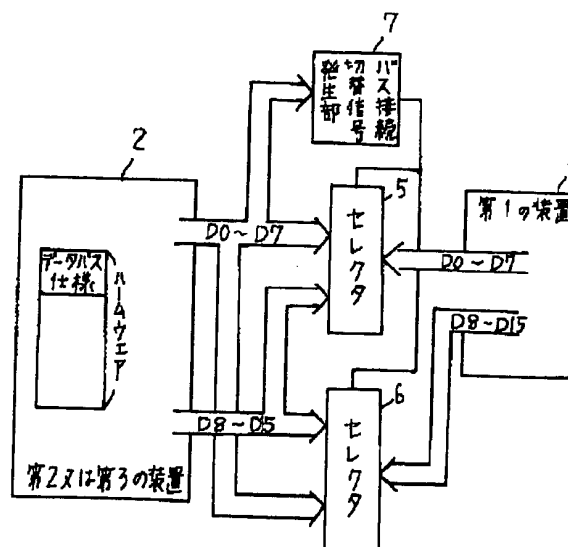
(54)【発明の名称】 処理システム

(57)【要約】

【目的】 上位8ビットには第1系のバイト信号を、下位8ビットには第2系のバイト信号を通す第1のデータベース仕様の装置1を、第1のデータベース仕様又は上位8ビットと下位8ビットには逆の系の信号を通す第2のデータベース仕様で、電源をオンとした時ファームウェアを装置1にダウンロードする装置2と接続する処理システムに関し、装置2のデータベース仕様の如何に関わらず同じ系の信号が所定のデータベースを通るように自動的に接続出来る処理システムの提供を目的とする。

【構成】 ファームウェアの先頭にデータベース仕様を書き込み、又セクタ5、6の共通側には夫々装置1の上位8ビットのデータベース、下位8ビットのデータベースを、セクタ5、6の切替側には装置2の上位8ビットのデータベース及び下位8ビットのデータベースを接続し、又該先頭のデータベース仕様を人力させ、セクタ5、6にての共通側と切替側との接続を、各系の信号が所定の8ビットのデータベースを通るように接続させるバス接続切替信号発生部7を設けた構成とする。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 16ビットデータバスの、上位8ビットには第1系のバイト信号を通し下位8ビットには第2系のバイト信号を通す第1のデータバス仕様の第1の装置

(1)を、上記第1のデータバス仕様で且つ電源をオンとした時該第1の装置(1)用のファームウェアを該第1の装置(1)にダウンロードする第2の装置又は、16ビットデータバスの、上位8ビットには該第2系のバイト信号を通し下位8ビットには該第1系のバイト信号を通す第2のデータバス仕様で且つ電源をオンとした時該第1の装置(1)用のファームウェアを該第1の装置

(1)にダウンロードする第3の装置(2)に接続する処理システムにおいて、該第2又は第3の装置(2)の該ファームウェアの先頭に自装置が第1のデータバス仕様であるか第2のデータバス仕様であるかのデータバス仕様を示す信号を書き込んでおき、又第1、第2のセクタ(5、6)を設け、該第1のセクタ(5)の共通側には該第1の装置(1)の上位8ビットのデータバスを接続し、該第2のセクタ(6)の共通側には該第1の装置(1)の下位8ビットのデータバスを接続し、該第1、第2のセクタ(5、6)の切替側には該第2又は第3の装置(2)の上位8ビットのデータバス及び下位8ビットのデータバスを接続し、又該ファームウェアの先頭のデータバス仕様を示す信号を8ビットのデータバスより入力させ、入力すると該第1、第2のセクタ(5、6)にての共通側と切替側との接続を、該第1系のバイト信号及び該第2系のバイト信号が所定の8ビットのデータバスを通るように接続させる信号を該第1、第2のセクタ(5、6)に送るバス接続切替信号発生部(7)を設けたことを特徴とする処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、68系のCPU(モトローラ系)を持つ画像プロセッサを、68系又は86系のCPU(インテル系)を持ち、電源オン時該画像プロセッサのファームウェアをダウンロードするパソコン又はワークステーションに接続した画像処理システム等の、第1のデータバス仕様の装置を、電源をオンとした時該第1の装置用のファームウェアを該第1の装置にダウンロードする第1のデータバス仕様の装置又は第2のデータバス仕様の装置に接続する処理システムの改良に関する。

【0002】68系のCPU(モトローラ系)と86系のCPU(インテル系)のデータバスを示すと図4

(A)(B)に示す如くで、68系のCPUは(A)に示す如く16ビットデータバスの、上位8ビット(D15~D8)のデータバスには第1系のバイト信号を通し、下位8ビット(D7~D0)のデータバスには第2系のバイト信号を通し、86系のCPUは(B)に示す如く16ビットデータバスの、上位8ビット(D15~

D8)のデータバスには第2系のバイト信号を通し、下位8ビット(D7~D0)のデータバスには第1系のバイト信号を通すように、信号を通すデータバスが反転している。

【0003】即ち、68系のCPUでは、(C)に示す如く、上位8ビットのデータバスには丸の信号が下位8ビットのデータバスには三角の信号を通すものとする。と、同じ68系のCPUと接続する場合は、上位、下位の8ビットのデータバスを、上位、下位の8ビットのデータバスに接続すれば、(D)に示す如く上位8ビットのデータバスには丸の信号が下位8ビットのデータバスには三角の信号が通るが、86系のCPUと接続する時は、(E)に示す如く、上位8ビットのデータバスには三角の信号が下位8ビットのデータバスには丸の信号を通すように上位、下位の8ビットのデータバスを反転して接続するようにせねばならない。

【0004】このように接続する場合、手間がかからず、に可能である処理システムの提供が望まれている。

【0005】

【従来の技術】図3は1例の画像処理システムのブロック図、図5は従来例のバスアダプタのデータバス接続部分のブロック図である。

【0006】図3の画像処理システムは画像プロセッサ1とパソコン(又はワークステーション)2よりなり、画像プロセッサ1には68系のCPU11を持ち、パソコン2には68系又は86系のCPU19を持ち、画像プロセッサ1の使用するファームウェアはパソコン2のディスク20に記憶されており、電源オン時、このファームウェアは読み出され、バスインタフェース21、バスアダプタ16を通り画像プロセッサ1のRAM12にダウンロードされ使用される。

【0007】カメラ17よりの画像信号はA/D変換器13にてデジタル信号に変換され、フレームメモリ14に記憶され、CRT18に表示され又データ圧縮伸長部15にて帯域圧縮されバスアダプタ16、バスインタフェース21を経てディスク20に送られ記憶される。

【0008】この記憶した画像データをCRT18に表示する時は、ディスク20よりこの画像データを読み出し、バスインタフェース21、バスアダプタ16を経て送るようにすると、データ圧縮伸長部15にて伸長されCRT18に表示される。

【0009】この画像処理システムでは、68系のCPU11を持つ画像プロセッサ1は、68系のCPU又は86系のCPU19を持つパソコン2に接続せねばならないので、従来は、バスアダプタ16のデータバスの接続を図5に示す如き構成としている。

【0010】即ち、画像プロセッサ1側の16ビットデータバスの下位8ビット(D0~D7)をスイッチ9の共通側に、上位8ビット(D8~D15)をスイッチ10の共通側に接続し、パソコン2の16ビットデータバ

スの下位8ビット(D0~D7)及び上位8ビット(D8~D15)をスイッチ9, 10の切替側に接続する。

【0011】画像プロセッサ1とパソコン2が共に68系のCPUを使用する時は、手操作にてスイッチ9, 10を点線側に接続し、画像プロセッサ1が68系のCPUを使用し、パソコン2が86系のCPUを使用する時は、手操作にてスイッチ9, 10を実線側に接続することで行っていた。

【0012】

【発明が解決しようとする課題】しかしながら、画像プロセッサ1の第1系の信号を通す8ビットのデータバス及び第2系の信号を通す8ビットのデータバスが、パソコン2の第1系の信号を通す8ビットのデータバス及び第2系の信号を通す8ビットのデータバスに対応していても、或いはパソコン2の第2系の信号を通す8ビットのデータバス及び第1系の信号を通す8ビットのデータバスに対応していても、所定の系の信号を通すことが出来るようにする為には、スイッチ9, 10の操作を手操作にてせねばならず手間がかかる問題点がある。

【0013】本発明は、第1の装置の第1系の信号を通す8ビットのデータバス及び第2系の信号を通す8ビットのデータバスが、相手装置の第1系の信号を通す8ビットのデータバス及び第2系の信号を通す8ビットのデータバスに対応していても、或いは相手装置の第2系の信号を通す8ビットのデータバス及び第1系の信号を通す8ビットのデータバスに対応していても、各8ビットのデータバスには自動的に所定の系の信号を通すことが出来るように接続出来る処理システムの提供を目的としている。

【0014】

【課題を解決するための手段】図1は本発明の原理ブロック図である。図1に示す如く、16ビットデータバスの、上位8ビットには第1系のバイト信号を通し下位8ビットには第2系のバイト信号を通す第1のデータバス仕様の第1の装置1を、上記第1のデータバス仕様で且つ電源をオンとした時該第1の装置1用のファームウェアを該第1の装置1にダウンロードする第2の装置又は、16ビットデータバスの、上位8ビットには第2系のバイト信号を通し下位8ビットには第1系のバイト信号を通す第2のデータバス仕様で且つ電源をオンとした時該第1の装置1用のファームウェアを該第1の装置1にダウンロードする第3の装置2に接続する処理システムにおいて、該第2又は第3の装置2の該ファームウェアの先頭に白装置が該第1のデータバス仕様であるか該第2のデータバス仕様であるかのデータバス仕様を示す信号を書き込んでおき、又第1, 第2のセクタ5, 6を設け、該第1のセクタ5の共通側には該第1の装置1の上位8ビットのデータバスを接続し、該第2のセクタ6の共通側には該第1の装置1の下位8ビットのデータバスを接続し、該第1, 第2のセクタ5, 6の切

替側には該第2又は第3の装置2の上位8ビットのデータバス及び下位8ビットのデータバスを接続し、又該ファームウェアの先頭のデータバス仕様を示す信号を8ビットのデータバスより入力させ、入力すると該第1, 第2のセクタ5, 6にての共通側と切替側との接続を、該第1系のバイト信号及び該第2系のバイト信号が所定の8ビットのデータバスを通るように接続させる信号を該第1, 第2のセクタ5, 6に送るバス接続切替信号発生部7を設けた構成とする。

【0015】

【作用】本発明によれば、電源オン時、第2又は第3の装置2より第1の装置1にファームウェアをダウンロードする時、ファームウェアの先頭に記憶している、第2又は第3の装置2のデータバス仕様がバス接続切替信号発生部7に入力すると、バス接続切替信号発生部7はデータバス仕様に応じ接続を制御する信号を第1, 第2のセクタ5, 6に送り、第1の装置1と、第2又は第3の装置2の上位, 下位8ビットのデータバスを所定の系の信号が通るように接続される。

【0016】即ち、第1の装置1の、第1, 第2の系の信号を通す上位, 下位の8ビットのデータバスが、第2又は第3の装置2の、第1, 第2の系の信号を通す上位, 下位8ビットのデータバスに対応していても、或いは第1, 第2の系の信号を通すのは下位, 上位8ビットのデータバスと反転していても各8ビットのデータバスには自動的に所定の系の信号を通すように接続することが出来るようになる。

【0017】

【実施例】図2は本発明の実施例のバスアダプタのデータバス接続部分のブロック図である。

【0018】本発明の画像処理システムも図3に示す構成であるが、従来の画像処理システムと異なる点は、図3のパソコン2のディスク20に記憶している画像プロセッサ1用のファームウェアの先頭に、パソコン2のデータバス仕様を書き込んだ点と、画像プロセッサ1のバスアダプタ16のデータバス接続部分を図2に示す如くした点であるので、この異なる点を中心に以下説明する。

【0019】図3のパソコン2のディスク20に記憶している画像プロセッサ1用のファームウェアの先頭に、パソコン2のデータバスが68系か86系の仕様のものであるかを示すデータバス仕様を書き込んである。

【0020】図2のセクタ5, 6の共通側々々には、画像プロセッサ1の下位8ビット(D0~D7)のデータバス、上位8ビット(D8~D15)のデータバスが接続されており、セクタ5, 6の切替側にはパソコン2の下位8ビット(D0~D7)のデータバス及び上位8ビット(D8~D15)のデータバスが接続されている。

【0021】又パソコン2の下位8ビット(D0~D7)

7) のデータバス (上位8ビットのデータバスでもよい) はバス接続切替信号発生部7にも入力しており又アドレスバス (A0~A15) はアドレスレコーダ8に入力している。

【0022】電源がオンとなると、パソコン2のアドレスバスより、アドレスレコーダ8に下記の動作をさせるアドレスを送り、アドレスレコーダ8より、バス接続切替信号発生部7に回路を開き、データバスより入力するデータバス仕様を記憶し接続切り替え信号を発生させる指令を与える。

【0023】すると、バス接続切替信号発生部7は、下位8ビット (D0~D7) のデータバスより送られてくるデータバス仕様を記憶し、セクタ5, 6にては、パソコン2が68系のCPUを有する場合は、画像プロセッサ1の上位、下位8ビットのデータバス夫々をパソコン2の上位、下位8ビットのデータバスに接続する信号を出力し、パソコン2が86系のCPUを有する場合は、画像プロセッサ1の上位、下位8ビットのデータバス夫々をパソコン2の下位、上位8ビットのデータバスに接続する信号を出力し接続させる。

【0024】即ち、画像プロセッサ1の、第1, 第2の系の信号を通す上位、下位の8ビットのデータバスが、パソコン2の、第1, 第2の系の信号を通す上位、下位8ビットのデータバスに対応しているも、或いは第1, 第2の系の信号を通すのは下位、上位8ビットのデータバスと反転しているも各8ビットのデータバスには自動的に所定の系の信号を通すように接続することが出来るようになる。

【0025】

【発明の効果】以上詳細に説明せる如く本発明によれば、第1の装置の第1系の信号を通す8ビットのデータバス及び第2系の信号を通す8ビットのデータバスが、相手装置の第1系の信号を通す8ビットのデータバス及

び第2系の信号を通す8ビットのデータバスに対応しているも、或いは相手装置の第2系の信号を通す8ビットのデータバス及び第1系の信号を通す8ビットのデータバスに対応しているも、各8ビットのデータバスには自動的に所定の系の信号を通すように接続出来る効果がある。

【図面の簡単な説明】

【図1】は本発明の原理ブロック図、

【図2】は本発明の実施例のバスアダプタのデータバス接続部分のブロック図、

【図3】は1例の画像処理システムのブロック図、

【図4】は1例の68系及び86系CPUのデータバスの差を示す図、

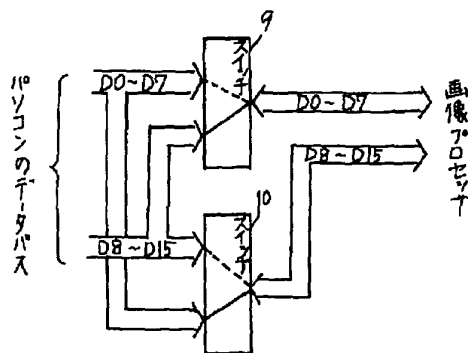
【図5】は従来例のバスアダプタのデータバス接続部分のブロック図である。

【符号の説明】

- 1は第1の装置、画像プロセッサ、
- 2は第2又は第3の装置、パソコン、
- 5, 6はセクタ、
- 7はバス接続切替信号発生部、
- 8はアドレスレコーダ、
- 11は68系CPU、
- 12はRAM、
- 13はA/D変換器、
- 14はフレームメモリ、
- 15はデータ圧縮伸長部、
- 16はバスアダプタ、
- 17はカメラ、
- 18はCRT、
- 19は68系又は68系CPU、
- 20はディスク、
- 21はバスインタフェースを示す。

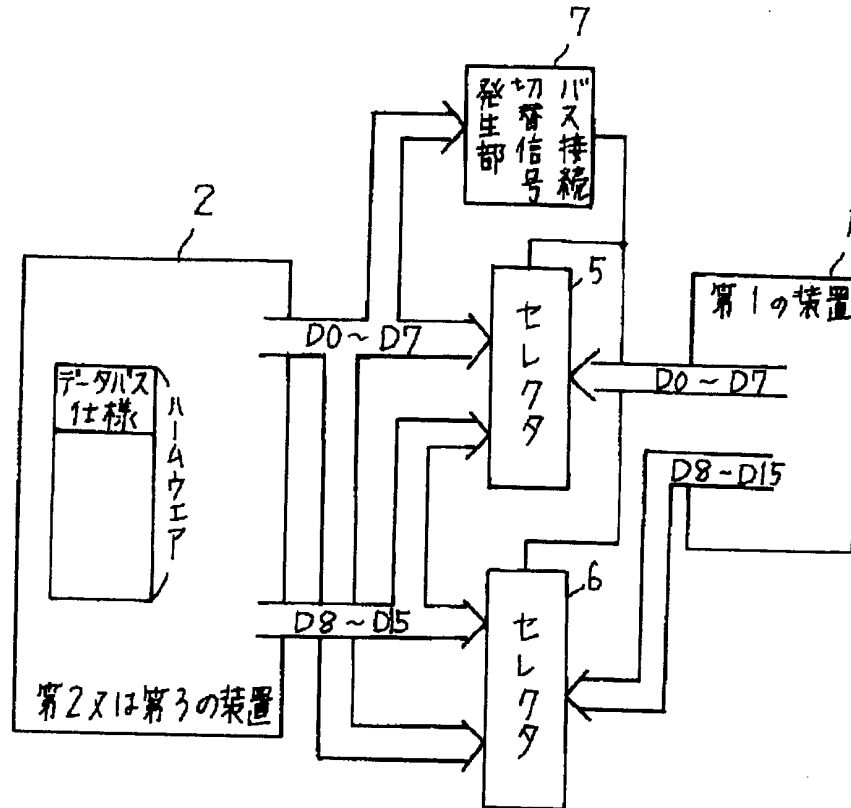
【図5】

従来例のバスアダプタのデータバス接続部分のブロック図



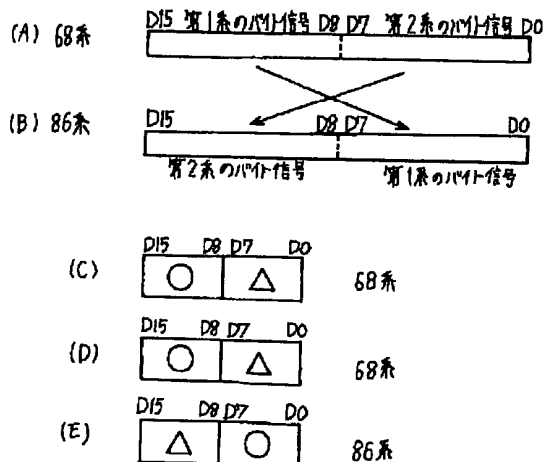
【図1】

本発明の原理ブロック図



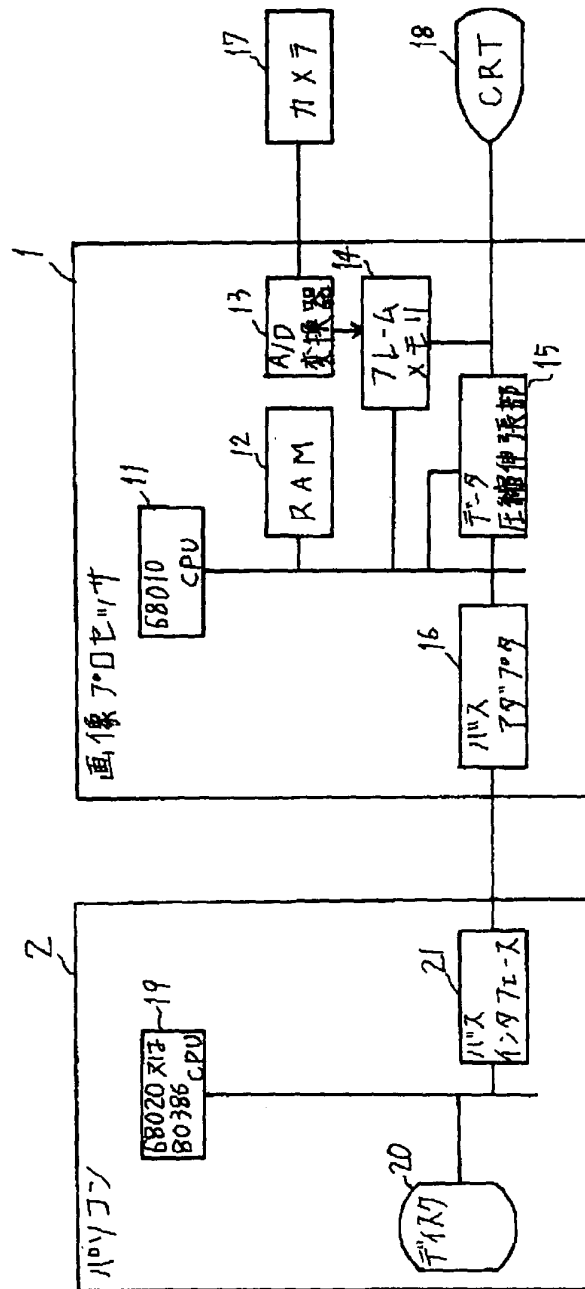
【図4】

1例の68系及び86系CPUのデータバスの差を示す図



【図3】

1例の画像処理システムのブロック図



【図2】

本発明の実施例のバスアダプタのデータバス
接続部分のブロック図

